

Patent number: JP2003140787

Publication date: 2003-05-16

Inventor: SAKURAI TAKAYASU; SHIN EISHU; KAWAGUCHI HIROSHI; AISAKA KAZUO; TOYAMA KEISUKE; ISHIBASHI KOICHIRO

Applicant: HITACHI LTD;; UNIV TOKYO

Classification:

- international: G06F1/32; G06F9/46

Application number: JP20010340706 20011106

Priority number(s):

Abstract of JP2003140787

PROBLEM TO BE SOLVED: To optimize the power consumption of a processor in an environment where a plurality of tasks are executed.

SOLUTION: An OS 23 identifies a task which is being executed and an executable task from among tasks 24 to be executed on a processor 21, and provides the start time of the task to be started at first among all the tasks to the task which is being executed. The optimization of the power consumption of the processor 21 is executed based on the start time and the worst execution time associated with the task which is being executed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-140787

(P2003-140787A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

G 0 6 F 1/32

G 0 6 F 9/46

3 4 0 B 5 B 0 1 1

9/46

3 4 0

1/00

3 3 2 Z 5 B 0 9 8

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2001-340706 (P2001-340706)

(22) 出願日 平成13年11月6日 (2001.11.6)

特許法第30条第1項適用申請有り 2001年5月18日 社
団法人電子情報通信学会発行の「電子情報通信学会技術
研究報告 信学技報V o 1. 101 N o. 85」に発表

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 391012327

東京大学長

東京都文京区本郷7丁目3番1号

(72) 発明者 桜井 貴康

東京都世田谷区宮坂2-21-15

(74) 代理人 100072051

弁理士 杉村 興作 (外1名)

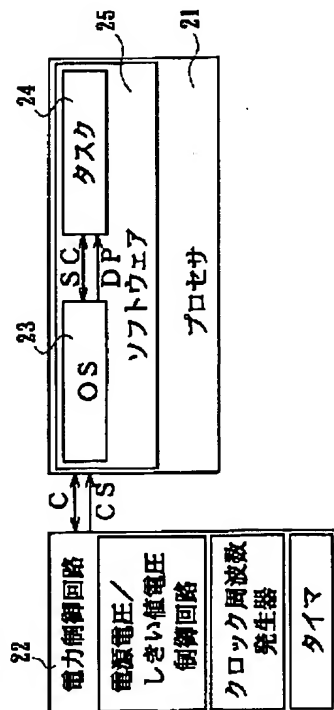
最終頁に続く

(54) 【発明の名称】 電力制御装置及び方法並びに電力制御プログラム

(57) 【要約】

【課題】 複数のタスクが実行される環境でプロセサの消費電力の最適化を行う。

【解決手段】 OS 23は、プロセサ21上で実行されるタスク24のうちの実行中のタスク及び実行可能なタスクを識別し、全タスクのうちの最初に起動されるものの起動時刻を実行中のタスクに提供する。プロセサ21の消費電力の最適化は、起動時刻及び実行中のタスクに関する最悪実行時間に基づいて行われる。



【特許請求の範囲】

【請求項 1】 プロセッサ上で実行される複数のタスクのうちの実行中のタスク及び実行可能なタスクを識別する手段と、

前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供する手段と、

前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセッサの消費電力の最適化を行う手段とを具えることを特徴とする電力制御装置。

【請求項 2】 プロセッサ上で実行される複数のタスクのうちの実行中のタスク及び実行可能なタスクを識別するステップと、

前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供するステップと、

前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセッサの消費電力の最適化を行うステップとを具えることを特徴とする電力制御方法。

【請求項 3】 プロセッサ上で実行される複数のタスクのうちの実行中のタスク及び実行可能なタスクを識別する機能と、

前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供する機能と、

前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセッサの消費電力の最適化を行う機能をコンピュータによって実現させることを特徴とする電力制御プログラム。

【請求項 4】 前記実行中のタスク及び実行可能なタスクを識別する機能が、前記複数のタスクの次の起動時刻を順番に保持する機能を有することを特徴とする請求項 3 記載の電力制御プログラム。

【請求項 5】 前記実行中のタスク及び実行可能なタスクを識別する機能が、前記実行中のタスク及び実行可能なタスクを優先度の高い順に保持し、前記実行中のタスクのみが保持されているか否かの情報を前記実行中のタスクに提供する機能を有することを特徴とする請求項 3 又は 4 記載の電力制御プログラム。

【請求項 6】 前記実行中のタスクを前記プロセッサに割り付けた時刻から現在の時刻までの積算実行時間に関する情報を、前記プロセッサに提供する機能をコンピュータによって実現させることを特徴とする請求項 3 から 5 のうちのいずれか 1 項に記載の電力制御プログラム。

【請求項 7】 前記積算実行時間及び前記起動時刻から前記実行中のタスクの時間余裕を算出する機能をコンピュータによって実現させることを特徴とする請求項 6 記載の電力制御プログラム。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、例えば CMOS 半導体集積回路によって構成したプロセッサの電力制御装置及び方法並びに電力制御プログラムに関するものであ

る。

【0002】

【従来の技術】 近年、バッテリーによって駆動されるプロセッサ内蔵の携帯機器、例えば、携帯電話、携帯型オーディオ、携帯型ビデオ、ノートブックパーソナルコンピュータ、PDA(Personal Digital Assistants)の消費電力の最適化、例えば消費電力の低減の要求が、従来に比べて一層厳格になっている。消費電力の最適化に対する厳格な要求を満足させるために、プロセッサに供給すべき可変の電源電圧を制御することによって消費電力の最適化を図ることが特許第 3138737 号に記載されており、CMOS 半導体集積回路の NMOS 素子及び／又は PMOS 素子のしきい値電圧を制御することによって消費電力の最適化を図ることが特願 2000-221676 号に記載されている。

【0003】 これら特許第 3138737 号及び特願 2000-221676 号によれば、図 1 A に示すように、電力制御装置は、プロセッサ 1 と、プロセッサ 1 の可変電源電圧及び／又はしきい値電圧を制御することによって消費電力の最適化を行う電力制御回路 2 とを具える。

【0004】 プロセッサ 1 には、タスク 3 及びデバイスドライバ 4 を有するソフトウェア 5 がインストールされ、図 1 A では示さない I/O ポートを通じて簡単なコマンド C を電力制御回路 2 との間でやりとりし、プロセッサ 1 の内部クロック周波数と、可変電源電圧及び／又はしきい値電圧 V_{var} とを制御する制御信号 CS を出力する。なお、図 1 A では、電力制御回路 2 をプロセッサ 1 と個別に構成した場合について示しているが、電力制御回路 2 をプロセッサ 1 と一体に構成してもよい。

【0005】 このために、電力制御回路 2 は、電源電圧／しきい値電圧制御回路 6 と、クロック周波数発生器 7 と、タイマ 8 とを有する。電源電圧／しきい値電圧制御回路 6 は、可変電源電圧及び／又はしきい値電圧 V_{var} を生成し、その可変電源電圧及び／又はしきい値電圧 V_{var} をプロセッサ 1 に供給する。

【0006】 クロック周波数発生器 7 は、外部クロック f_{clk} の k/n 倍 (n を自然数とし、 k を n 未満の自然数とする。) となる可変周波数 f_{var} を生成し、その可変周波数 f_{var} をプロセッサ 1 に供給する。可変周波数 f_{var} をそのように設定することによって、外部デバイスとのやりとりが容易となる。タイマ 8 は、後に説明するようリアルタイム処理を行う際に使用される。

【0007】 可変電源電圧及び／又はしきい値電圧 V_{var} は、後に説明するように可変周波数 f_{var} に応じて設定される。

【0008】 タスク 3 は、図 1 B に示すようにユーザプログラム 9 及び電力制御アルゴリズム 10 を有する。ユーザプログラム 9 は、設計者によって任意にプログラムされ、電力制御アルゴリズム 10 は、2 以上の動作速度及びアイドル状態に対応する 3 以上のモードに従っ

て可変電源電圧及び／又はしきい値電圧 V_{var} と可変周波数 f_{var} とを動的に制御するよう電源電圧／しきい値電圧制御回路 6 にコマンド C を送信する。なお、電源制御アルゴリズム 10 の構成及びコマンド C の送信については、後に説明する。

【0009】デバイスドライバ 4 は、図 1 C に示すように可変電源電圧及び／又はしきい値電圧 V_{var} を最適化するための参照可能な関係を有するルックアップテーブル 11 を有する。

【0010】図 2 は、電力制御アルゴリズムを詳細に示す図である。この電力制御アルゴリズム 10 は、締切すなわち今回のタスク 3 の実行を終了すべき時刻を取得するステップ S1 と、可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} とを算出するステップ S2 と、可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} とを適用するステップ S3 と、ユーザプログラム 9 を実行するステップ S4 と、プロセッサ 1 のアイドルを行うステップ S5 とを具える。本明細書中、締切とは、特に言及しない限り、タスク又はスライスの実行を終了すべき時刻を意味するものとする。

【0011】タスク 3 を画像や音声のようなマルチメディアタスクとした場合、タスク 3 は、特定の周波数（例えば、60 Hz 又は 44.1 kHz）に同期をとっており、一定の起動周期と WCET（Worst Case Execution Time: 最悪実行時間）とを有する。

【0012】MPEG に代表されるようなアプリケーションでは、入力画像データによって処理速度が変化することが知られている。具体的には、被写体の動きが顕著である場合や、背景の変化が大きくなるに従って負荷が重くなり、それに対して、画像の変化が小さくなるに従って負荷が軽くなる。しかしながら、画像の変化が大きくなるに従って負荷が無限に大きくなるわけではなく、理論上の最大負荷が決まっている。このような理論上の最大負荷は、タスク 3 の WCET に対応する。

【0013】実際のタスクでは、最大負荷のデータを処理することはほとんどなく、大抵の場合には、WCET 以前にタスク 3 を終了し、時間余裕が発生する。また、タスク 3 の起動周期は一般に WCET より長いので、最大負荷のデータを処理しても時間余裕が発生する場合もある。

【0014】このような時間余裕が存在することをタスク 3 の実行中に検知して、プロセッサ 1 の可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} とを制御することによって、消費電力を最適化している。

【0015】したがって、負荷に応じてプロセッサ 1 の可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} とを柔軟に変化させるアルゴリズムが重要となる。負荷のデータ依存性が高いので、制御は、ラ

ンタイムで動的に行われるべきであり、コンパイルタイムで静的に行われるべきではない。

【0016】しかしながら、タスク終了後に負荷が WCET より軽かったことが明らかになったとしても、もはや何の処理も施すことができない。また、将来の負荷を予測するのは非常に困難である。そのような事態を解決するために、電力制御アルゴリズム 10 のステップ S1 において、アプリケーションスライシングを導入する。

【0017】ここで、アプリケーションスライシングを図 3 を用いて説明すると、タスク 3 は、N 個のスライス 1, 2, 3, ..., N に分割される。スライス 1, 2, 3, ..., N の各々の WCET と、各スライスからスライス N までの WCET は、解析や測定を通じて取得される。

【0018】ここで、スライス 2 について考える。スライス 2 の WCET、スライス 3 からスライス N までの WCET 及びスライス 2 の開始からタスク 3 の次の起動時刻までの時間をそれぞれ t_2 、 t_{3-N} 及び t_D とした場合、単一のタスク 3 を仮定しているため、今回のタスク 3 の実行を次の起動時刻までに行う必要があり、タスク 3 の次の起動時刻がタスク 3 の締切となる。

【0019】スライス 3 からスライス N（最終スライス）までの処理が時間 t_{3-N} で確実に行われるので、スライス 2 を実行するための時間余裕 t_R は $t_D - t_{3-N}$ となる。したがって、理想的には、プロセッサ 1 の可変クロック周波数 f_{var} を外部クロック f_{clk} の t_2 / t_R 倍まで下げることができる。

【0020】実際には、プロセッサ 1 のクロック周波数を任意の値に設定するのは困難であるので、可変クロック周波数 f_{var} は、好適には、外部クロック f_{clk} の t_2 / t_R 倍を下回らない最小の $1/n$ 倍に設定される。例えば、 t_2 / t_R が 0.48 の場合、可変クロック周波数 f_{var} は $f_{clk} / 2$ となる。

【0021】プロセッサ 1 のクロック周波数を変更する際、ルックアップテーブル 11 を利用する。図 4 は、図 1 のルックアップテーブルを詳細に示す図である。ルックアップテーブル 11 は、可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} との関係を有する。これらの関係は、プロセッサ 1 及び電力制御回路 2 を実際に計測することによって得られる。

【0022】

【発明が解決しようとする課題】しかしながら、特許第 3138737 号及び特願 2000-221676 号では、プロセッサの消費電力の最適化を単一の周期タスクについて適用する場合については記載しているものの、複数のタスクが実行される場合については記載及び示唆されていない。

【0023】本発明の目的は、複数のタスクが実行される環境でプロセッサの消費電力の最適化を行う電力制御装置及び方法並びに電力制御プログラムを提供することである。

【0024】

【課題を解決するための手段】本発明による電力制御装置は、プロセサ上で実行される複数のタスク（全タスク）のうちの実行中のタスク及び実行可能なタスクを識別する手段と、前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供する手段と、前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセサの消費電力の最適化を行う手段とを具えることを特徴とする。

【0025】本発明によれば、実行中のタスクに関する最悪実行時間だけでなく、複数のタスクのうちの最初に起動されるものの起動時刻をも参照してプロセサの消費電力の最適化を行っている。したがって、実行中のタスクが他のタスクの起動時刻に関する情報を取得することができるので、複数のタスクが実行される環境でもプロセサの消費電力の最適化を行うことができる。

【0026】本発明による電力制御方法は、プロセサ上で実行される複数のタスクのうちの実行中のタスク及び実行可能なタスクを識別するステップと、前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供するステップと、前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセサの消費電力の最適化を行うステップとを具える。

【0027】本発明によれば、複数のタスクが実行される環境でもプロセサの消費電力の最適化を行うことができる。

【0028】本発明による電力制御プログラムは、プロセサ上で実行される複数のタスクのうちの実行中のタスク及び実行可能なタスクを識別する機能と、前記複数のタスクのうちの最初に起動されるものの起動時刻を前記実行中のタスクに提供する機能と、前記起動時刻及び前記実行中のタスクに関する最悪実行時間に基づいて前記プロセサの消費電力の最適化を行う機能をコンピュータによって実現させることを特徴とする。

【0029】本発明によれば、複数のタスクが実行される環境でもプロセサの消費電力の最適化をコンピュータによって実現することができる。

【0030】消費電力の最適化を好適に行うために、前記実行中のタスク及び実行可能なタスクを識別する機能は、例えば、前記複数のタスクの次の起動時刻を順番に保持する機能及び／又は前記実行中のタスク及び実行可能なタスクを優先度の高い順に保持し、前記実行中のタスクのみが保持されているか否かの情報を前記実行中のタスクに提供する機能を有する。

【0031】消費電力の最適化を更に好適に行うために、前記実行中のタスクを前記プロセサに割り付けた時刻から現在の時刻までの積算実行時間に関する情報を、前記プロセサに提供する機能をコンピュータによって実現させる。

【0032】消費電力の最適化を一層好適に行うために、前記積算実行時間及び前記起動時刻から前記実行中のタスクの時間余裕を算出する機能をコンピュータによって実現させる。

【0033】例えば、電力制御プログラムの上記機能のうち、時間余裕を算出する機能については、タスクのようなソフトウェアによって実現され、それ以外の機能については、ソフトウェアに含まれるオペレーティングシステム（OS）によって実現される。

【0034】

【発明の実施の形態】本発明による電力制御装置及び方法並びに電力制御プログラムの実施の形態を、図面を参照して詳細に説明する。図5は、本発明による電力制御装置のブロック図である。電力制御装置は、プロセサ21と、図1の電力制御回路2と同一構成の電力制御回路22とを具える。

【0035】プロセサ21には、OS23及び複数の周期的なタスク（全周期タスク）24を有するソフトウェア25がインストールされ、図5では示さないI/Oポートを通じて簡単なコマンドCを電力制御回路22との間でやりとりし、プロセサ21の内部クロック周波数 f_{var} と、可変電源電圧及び／又はしきい値電圧 V_{var} とを制御する制御信号CSを出力する。なお、図5では、電力制御回路22をプロセサ21と個別に構成した場合について示しているが、電力制御回路22をプロセサ21と一体に構成してもよい。また、図5では、1個のタスク（周期タスク）24のみを示す。

【0036】図6に示すように、OS23は、起動時刻キュー26と、実行優先度キュー27と、デバイスドライバ28と、スケジューラ29と、システムコールハンドラ30とを有する。各タスク24は、ユーザプログラム31と、電力制御アルゴリズム32とを有する。なお、図5及び6において、DPは後に詳細に説明するプロセサ割当て等を表し、SCはシステムコールを表す。

【0037】起動時刻キュー26は、全てのタスク24の次の起動時刻を起動が行われる順番に保持し、タスク24が起動又は終了される度に更新される。ここで、起動時刻キュー24の先頭のタスク（今後最も早く起動される周期タスク）の起動時刻を、第1起動時刻と称する。

【0038】実行優先度キュー27は、実行中のタスク24及び実行可能なタスク24の実行優先度を実行優先度の高い順番に保持する。デバイスドライバ28は、図1のデバイスドライバ4と同一構成を有する。スケジューラ29は、管理するタスク24のスケジューリングを行う。システムコールハンドラ30は、管理されるタスク24との間で情報の受渡しを行う。

【0039】ユーザプログラム31は、図1のユーザプログラム9と同一構成を有し、電力制御アルゴリズム32は、後に詳しく説明するように図1の電力制御アルゴ

リズム 10 とは異なる構成を有する。

【0040】各タスク 24 は、図 7 に示すように、スケジューラ 29 によって状態が遷移される。タスク 24 が RUN 状態にあるとき、タスク 24 は、現在実行中であり、プロセサ 21 を占有している。

【0041】タスク 24 が READY 状態にあるとき、タスク 24 は、実行可能であるが、更に高い優先度を有する他のタスクが実行中であるためにプロセサ割付を待機していることを意味する。READY 状態又は RUN 状態にあるタスク 24 の実行優先度は、高い順で実行優先度キュー 27 に保持される。実行中のタスク 24 が終了し又はタスク 24 が起動された場合には、実行優先度キュー 27 は更新される。スケジューラ 29 は、実行優先度キュー 27 の先頭のタスクをプロセサ 21 に割り付ける。

【0042】タスク 24 が DORMANT 状態にあるとき、タスク 24 の実行が既に終了し、タスク 24 が休止中であり、タスク 24 の次の起動を待機する。

【0043】スケジューラ 29 は、単位時間ごとに起動時刻キュー 26 を調べ、休止中のタスク 24 を起動させるか否かも判断する。所定のタスク 24 が起動された場合、スケジューラ 29 は実行優先度キュー 27 を更新し、現在実行中のタスク 24 の優先度と、起動直後のタスク 24 の優先度とを比較する。

【0044】起動直後のタスク 24 の優先度が実行中のタスク 24 の優先度より高い場合、実行中のタスク 24 はプロセサ 21 の待機を強要され、実行すべきタスク 24 が入れ替えられる。入れ替えられたタスク 24 は、READY 状態となり、再びプロセサ 21 への割付けを待機することになる。

【0045】これまで、スケジューラ 29 によるタスク 24 の遷移の基本機能を説明したが、本発明によれば、後に詳しく説明するように、上記基本機能に加えて、実行中のタスク 24 に締切を提供する。この締切は、実行優先度キュー 27 及び起動時刻キュー 26 の状態に基づいている。

【0046】なお、実行優先度キュー 27 に存在するタスク 24 の個数及び第 1 起動時刻については、システムコールハンドラ 30 によって、実行中のタスク 24 で参照可能である。

【0047】図 8 は、図 6 の電力制御アルゴリズムを詳細に示す図である。電力制御アルゴリズム 32 は、実行優先度キュー 27 に存在するタスク 24 の個数及び第 1 起動時刻に基づくものである。

【0048】電力制御アルゴリズム 32 では、まず、ステップ S11 において、後に詳しく説明するように、システムコールハンドラ 30 を用いて締切を取得する。一旦締切が提供されると、ステップ S12 において、可変クロック周波数 f_{var} を算出する。次いで、ステップ S13 において、可変クロック周波数 f_{var} はシステムコ

ールハンドラ 30 によって OS 23 に知らされ、OS 23 は、デバイスドライバ 28 の有するルックアップテーブルを参照して、可変電源電圧及び／又はしきい値電圧 V_{var} を制御する。

【0049】その後、図 2 のステップ S4 と同様にユーザプログラムを実行した（ステップ S14）後、電力制御アルゴリズム 32 を終了する。

【0050】図 9 は、図 8 の締切取得ルーチンを詳細に示す図である。この場合、ステップ S31 において、実行優先度キュー 27 に存在する実行中のタスク 24 の個数が 1 であるか否かを判断する。

【0051】実行優先度キュー 27 に存在する実行中のタスク 24 の個数が 1 である場合、第 1 起動時刻と実行中のタスク 24 の WCET のうちの遅い方を締切として取得し（ステップ S32）、本ルーチンを終了する。それに対して、実行優先度キュー 27 に存在する実行中のタスク 24 の個数が 1 でない場合、実行中のタスク 24 の WCET を締切として取得し（ステップ S33）、本ルーチンを終了する。

【0052】実行優先度キュー 27 に実行中のタスク 24 しか存在しない場合、すなわち、実行優先度キュー 27 に存在するタスク 24 が 1 個である場合、プロセサ 21 の割付けを待機するタスク 24 が他に存在しないことを意味する。その結果、タスク 24 は、少なくとも第 1 起動時刻までプロセサ 21 を独占することができる。このために、この第 1 起動時刻と実行中のタスク 24 の WCET のうちの遅い方を締切とした場合でも、タスク 24 の処理に関して影響がない。

【0053】一方、実行優先度キュー 27 に実行中のタスク 24 以外のタスク 24 が存在する場合、すなわち、実行優先度キュー 27 に依存するタスク 24 が 2 個以上ある場合、締切を、実行中のタスク 24 の WCET（正確には、タスク全体の WCET から現在までの積算実行時間を減算し、現在の時刻を加算したもの）とすべきである。これによって、システムの実行確実性が維持される。

【0054】本実施の形態の動作を、図 10-12 も用いて説明する。この場合、複数の周期的なタスク（周期タスク群）24 の例として、図 10 に示すように、実行優先度が 1 であり、WCET が 6 単位時間であり、かつ、周期が 20 単位時間であるタスク A と、実行優先度が 2 であり、WCET が 12 単位時間であり、かつ、周期が 30 単位時間であるタスク B と、実行優先度が 3 であり、WCET が 2 単位時間であり、かつ、周期が 40 単位時間であるタスク C とが存在するものとする。図 10 において、タスク A、B、C の各々の矩形はスライスを表し、縦方向に周波数の高さを示し、横方向に時間経過を示す。

【0055】タスク A、B、C の 1 スライス は 2 単位時間を有し、タスク A、B、C の実際の実行時間は負荷に

依存する。この場合、タスク A の負荷が 50% であると仮定し、実行時間を WCE T の半分とする。また、タスク B、C の負荷が 100% であると仮定し、実行時間を WCE T とする。

【0056】消費電力の最適化を行わない OS のスケジューリングでは、図 11A に示すようになる。それに対して、可変クロック f_{var} として f_{clk} 及び $f_{clk}/2$ が設定されると仮定した本発明でのスケジューリングでは、図 11B に示すようになる。

【0057】本発明でのスケジューリングについて詳細に説明する。時刻 0 でタスク A、B、C が一斉に起動されると、図 12 に示すように、実行優先度が最も高いタスク A が実行される。

【0058】この場合、実行優先度キューにタスクが 2 以上存在するので、タスク A の 1 番目のスライスでは、締切は、タスク A の実行の開始からタスク A 自身の WCE T が経過した後の時刻すなわち時刻 6 となる。2 番目のスライスから最後のスライスまでの WCE T が 4 単位時間であるので、時間余裕は 2 単位時間となる。

【0059】WCE T が 2 単位時間のスライスを 2 単位時間の時間余裕で実行するためには、可変周波数 f_{var} として f_{clk} が好適である。可変周波数 f_{var} の値は、システムコール SC として OS 23 に提供され、デバイスドライバ 28 が有するルックアップテーブルに基づいて可変電源電圧及び／又はしきい値電圧 V_{var} と可変周波数 f_{var} とが設定される。

【0060】タスク A の負荷が 50% であるため、本来の WCE T では 2 単位時間を要した 1 番目のスライスが 1 単位時間で終了する。タスク A の 2 番目のスライスでは、締切は、タスク A 自身の WCE T から 1 単位時間の積算実行時間を減算した 5 単位時間が締切までの時間となる。最終スライスの WCE T が 2 単位時間であるので、時間余裕は 3 単位時間となる。2 番目のスライスの WCE T も 2 単位時間であるので、2 番目のスライスも f_{clk} の可変クロック周波数 f_{var} で実行される。

【0061】最後のスライスでは、1 番目及び 2 番目のスライスと状況が異なる。タスク A において最後である 3 番目のスライスの実行が開始される時刻は 2 であり、積算実行時間は 2 単位時間である。3 番目のスライスの実行の開始から締切までの時間は、タスク A 自身の WCE T の 6 単位時間から積算実行時間の 2 単位時間を減算した 4 単位時間である。

【0062】3 番目のスライス以後にはタスク A において実行すべきスライスが存在しないため、3 番目のスライスの実行の開始から 3 番目のスライスの締切すなわちタスク A の締切までの 4 単位時間をそのまま利用することができ、その結果、時間余裕は 4 単位時間となる。

【0063】したがって、3 番目のスライスでは、可変クロック周波数 f_{var} を $f_{clk}/2$ に低減させることができ、これと同時に可変電源電圧及び／又はしきい値電圧

V_{var} も制御することができる。

【0064】タスク A は時刻 4 で終了し、タスク B が上記手順に基づいて時刻 4 から時刻 16 の間で実行され、時刻 16 において、タスク C の 1 番目のスライスの実行を開始する。

【0065】時刻 16 では、タスク C のみが実行優先度キューに存在するので、締切は、次のタスク A が起動する時刻 20 と、タスク C の実行が開始される時刻 16 からタスク C 自身の WCE T である 2 単位時間が経過した時刻 18 のうちの遅い方の時刻すなわち時刻 20 となる。換言すれば、タスク C 自身の WCE T に比べてタスク C の実行開始から次のタスク A の起動時間までの方が、時間余裕が大きくなる。

【0066】この場合、タスク C は、タスク A の場合とは異なり、最初のスライスであるにもかかわらず、可変クロック周波数 f_{var} を $f_{clk}/2$ まで低減することができ、タスク C が時刻 20 で終了する。

【0067】本発明によれば、実行可能なタスクの個数が 1 個である場合、実行中のタスクに第 1 起動時刻を提供することによって、複数のタスクが実行される環境でもプロセサの消費電力の最適化を行うことができる。具体的には、実行優先度キュー内に 1 個のタスクのみが存在する場合には、第 1 起動時刻とタスクの起動開始時刻からタスクの WCE T が経過した時刻のうちの遅い方を締切とし、実行中のタスクについて可変クロック周波数 f_{var} と可変電源電圧及び／又はしきい値電圧 V_{var} とを制御して、プロセサの消費電力の最適化を行っているので、複数のタスクが実行される環境でもプロセサの消費電力の最適化を行うことができる。

【0068】本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、次の起動時間が検出される場合には、タスクが周期的でなくてもよく、消費電力の最適化を、電源電圧及び／又はしきい値電圧以外の他のパラメータを用いて制御することもでき、上記実施の形態で説明したプロセサ 21 及び電力制御回路 22 を、当業者によって他の設計にすることもできる。

【0069】また、電力制御アルゴリズム 32 を各タスク 24 にインストールした場合について説明したが、各タスク 24 が記録された記録された記録媒体（例えば、CD-ROM）から各タスク 24 を読み出すことによって電力制御を行うこともできる。

【図面の簡単な説明】

【図 1】 従来の電力制御装置のブロック図である。

【図 2】 図 1 の電力制御アルゴリズムを詳細に示す図である。

【図 3】 アプリケーションスライシングを説明するための図である。

【図 4】 図 1 のルックアップテーブルを詳細に示す図である。

【図 5】 本発明による電力制御装置のブロック図である。

【図 6】 図 5 の OS 及びタスクを詳細に示す図である。

【図 7】 タスク状態の遷移を説明するための図である。

【図 8】 図 6 の電力制御アルゴリズムを詳細に示す図である。

【図 9】 図 8 の締切取得ルーチンを詳細に示す図である。

【図 10】 周期タスク群の例を示す図である。

【図 11】 消費電力の最適化を行わないスケジューリング及び本発明によるスケジューリングを示す図である。

【図 12】 図 10 の周期タスク群の本発明によるスケジューリングにおけるタスク状態の遷移を説明するための図である。

【符号の説明】

1, 21 プロセサ

2, 22 電力制御回路

3, 24 タスク

4, 28 デバイスドライバ

5, 25 ソフトウェア

6 電源電圧/しきい値電圧制御回路

7 クロック周波数発生器

8 タイマ

9, 31 ユーザプログラム

10, 32 電力制御アルゴリズム

11 ルックアップテーブル

23 OS

26 起動時刻キュー

27 実行優先度キュー

29 スケジューラ

30 システムコールハンドラ

C コマンド

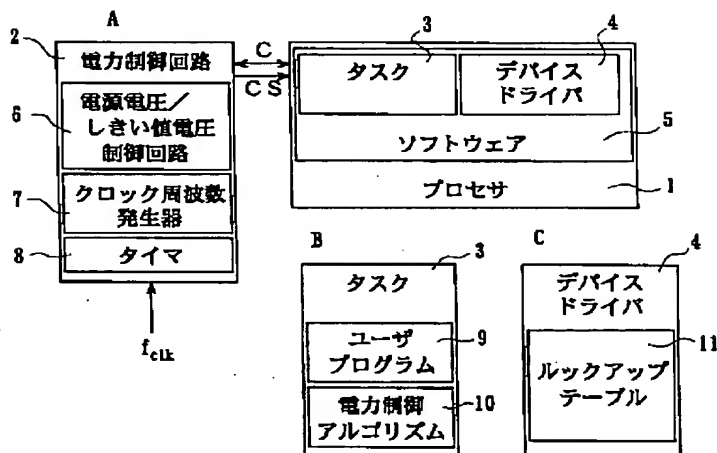
CS 制御信号

DP プロセサ割付け等

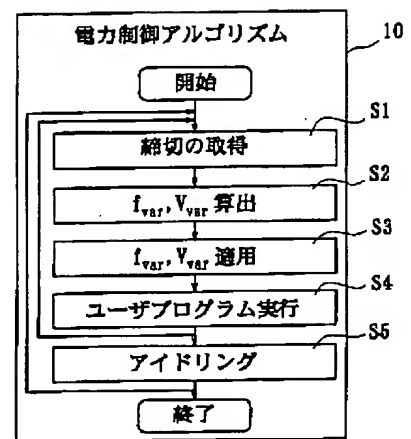
SC システムコール

clk 外部クロック

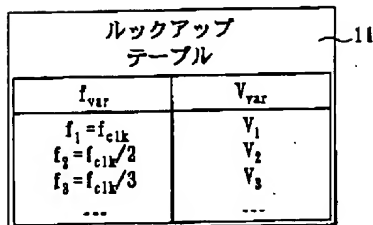
【図 1】



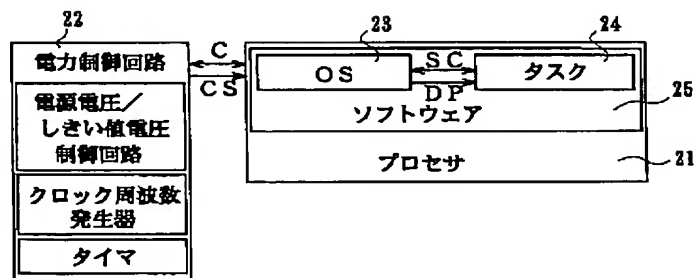
【図 2】



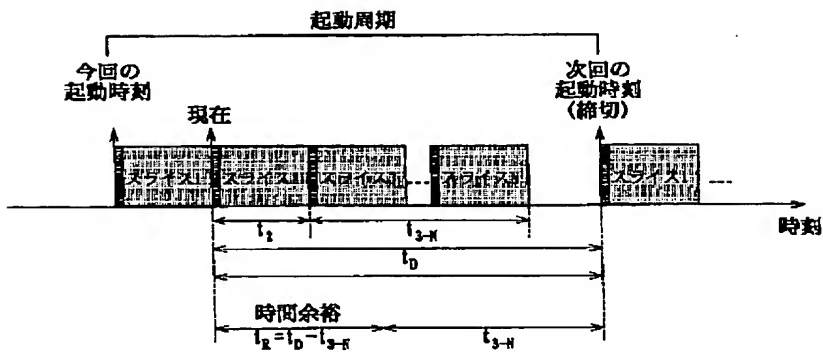
【図 4】



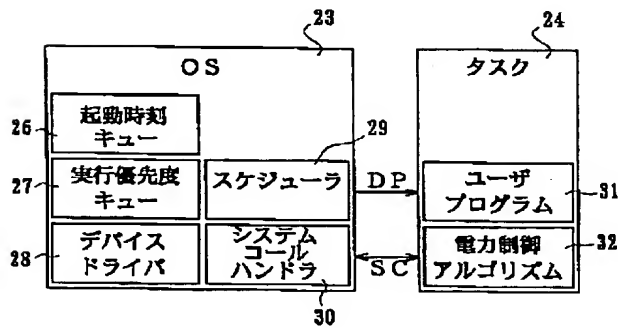
【図 5】



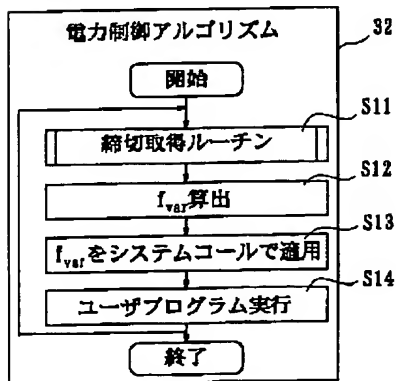
【図3】



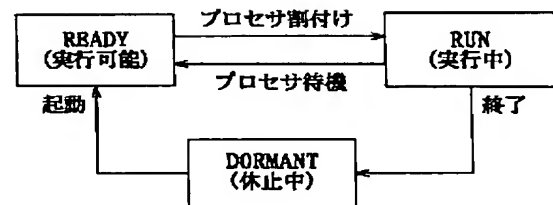
【図6】



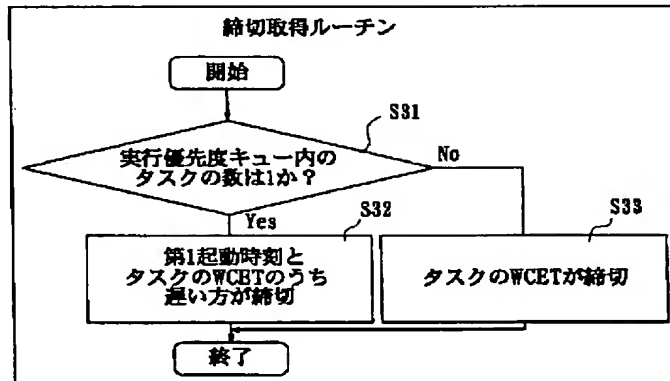
【図8】



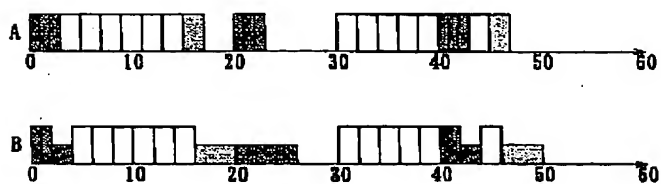
【図7】



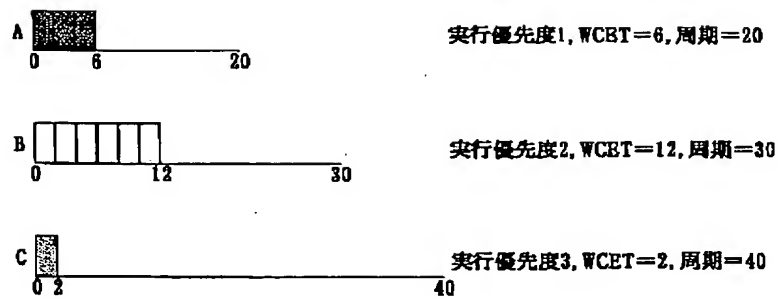
【図9】



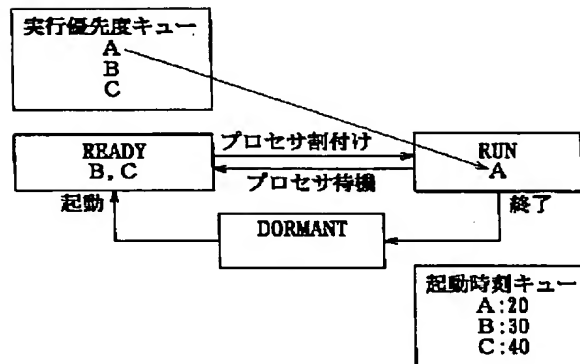
【図11】



【図10】



【図12】



フロントページの続き

(72)発明者 辛 英洙
アメリカ合衆国 ニューヨーク州ミルウ
ド ソーミルリヴァーロード324

(72)発明者 川口 博
東京都江東区越中島 3-5-27-209

(72)発明者 相坂 一夫
東京都国分寺市東恋ヶ窪一丁目280番 株
式会社日立製作所中央研究所内

(72)発明者 十山 圭介
東京都国分寺市東恋ヶ窪一丁目280番 株
式会社日立製作所中央研究所内

(72)発明者 石橋 孝一郎
東京都国分寺市東恋ヶ窪一丁目280番 株
式会社日立製作所中央研究所内

Fターム(参考) 5B011 DA06 EA04 EA10 KK02 LL12
5B098 GA04 GC03 GC05 GD01 GD14